

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kazuto IKEDA**

Serial Number: **Not Yet Assigned**

Filed: **October 16, 2003**

Customer No.: 38834

For: **METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE HAVING
SILICIDE LAYER**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

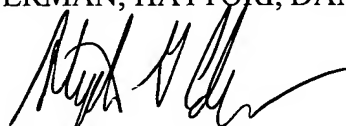
Japanese Appln. No. 2002-303452, filed on October 17, 2002.

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032016
Suite 700
1250 Connecticut Avenue, N.W.
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA /yap



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月17日
Date of Application:

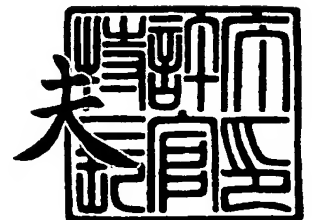
出願番号 特願2002-303452
Application Number:
[ST. 10/C]: [JP2002-303452]

出願人 富士通株式会社
Applicant(s):

2003年 7月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 0241226

【提出日】 平成14年10月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/285

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 池田 和人

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置の製造方法
【特許請求の範囲】

【請求項1】 スパッタ室内の圧力を (a) $1.5 \times 10^{-8} \text{ torr} \sim 9 \times 10^{-8} \text{ torr}$ に真空排気し、シリコン基板を $330^\circ\text{C} \sim 395^\circ\text{C}$ に加熱する工程と、

(b) 加熱されたシリコン基板上に Co をスパッタする工程と、

(c) 前記工程 (b) の後、シリコン基板を空气中に曝すことなく、該シリコン基板上に酸素透過性の小さなキャップ層を形成する工程と、

(d) 前記工程 (c) の後、1 次アニールを行う工程と、

(e) 前記工程 (d) の後、前記キャップ層および未反応の Co を除去する工程と、

(f) 前記工程 (e) の後、前記シリコン基板を $450^\circ\text{C} \sim 750^\circ\text{C}$ に加熱し、2 次アニールを行なう工程と、
を含む半導体装置の製造方法。

【請求項2】 前記工程 (a) が、スパッタ室内の圧力を $1.5 \times 10^{-8} \text{ torr} \sim 6 \times 10^{-8} \text{ torr}$ に真空排気する請求項1記載の半導体装置の製造方法。

【請求項3】 前記工程 (a) が、シリコン基板を $345^\circ\text{C} \sim 390^\circ\text{C}$ に加熱する請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記工程 (b) が、絶縁膜上に約 7 nm 以下の厚さの Co 膜を堆積する条件で行われる請求項1～3のいずれか1項記載の半導体装置の製造方法。

【請求項5】 前記工程 (b) が、シリコン表面上では Co 膜を形成することなく、Co-Si 混和層のみを形成する請求項1～4のいずれか1項記載の半導体装置の製造方法。

【請求項6】 前記キャップ層が Ti 層あるいは TiN 層で形成されている請求項1～5の半導体装置の製造方法。

【請求項7】 前記工程 (c) が、シリコン基板の温度が 200°C 以下の状

態で行われる請求項1～6のいずれか1項記載の半導体装置の製造方法。

【請求項8】 前記工程（d）が、シリコン基板を450℃～550℃に加熱することによって行われる請求項1～7のいずれか1項記載の半導体装置の製造方法。

【請求項9】 前記工程（f）が、シリコン基板を500℃～700℃に加熱することによって行われる請求項1～8のいずれか1項記載の半導体装置の製造方法。

【請求項10】 さらに、前記工程（a）の前に、

（x）シリコン基板にMOSトランジスタの多結晶ゲート電極、絶縁性サイドウォールスペーサ、ソース／ドレイン領域を形成する工程を含み、前記工程（a）～（f）が、ゲート電極およびソース／ドレイン領域上にサリサイド工程によりC oシリサイド層を形成する請求項1～9のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特にシリコン表面にシリサイド層を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置において、半導体に不純物を添加することにより、導電度を調整できる。但し、金属と同程度の低抵抗率は得られない。MOSトランジスタのゲート電極や、ソース／ドレイン電極の抵抗は低いほど望ましい。電極領域の抵抗を低減させるため、シリコン層の上にシリサイド層を形成することが行われる。シリコン層の上に、NiやC o等のシリサイド化可能な金属を堆積し、加熱すると、シリサイド反応が生じる。絶縁層の上ではシリサイド反応は生じないため、下地のシリコン表面の上にのみシリサイド層を形成することができる。この工程をサリサイド工程と呼ぶ。

【0003】

シリサイド反応を2段階に分割し、先ず1次アニールにより中間的シリサイド

を生成する反応を生じさせ、未反応の金属を除去した後2次シリサイド反応を生じさせ、低抵抗率のシリサイドを形成することが行われている。

【0004】

シリサイド化可能な金属層を形成した後、その表面を酸素透過能の小さいTiN等のキャップ層で覆い、シリサイド化可能金属層の酸化を防ぐ技術が報告されている。1次アニールは例えば400～550℃で行われ、2次アニールは750～900℃で行われる(IEDM 95-449)。

【0005】

シリコン基板を過熱した状態で、シリサイド化可能な金属層をスパッタすることも報告されている。例えば、シリコン基板を450℃に保ち、Co膜をスパッタし、続いて真空中で450℃を保ちその場アニールを行う。さらに窒素雰囲気中で1次アニールを行い、未反応Co膜を除去する。その後窒素雰囲気中で2次アニールを行なう(IEDM 95-445)。

【0006】

特開平11-111642号公報は、自然酸化膜等の多孔性絶縁層をバリア層としてシリコン基板上に形成し、その上に例えば450℃の高温でCoをスパッタすることを提案している。Co膜スパッタ後、その場アニールを行うことにより、堆積したCo膜の全量をシリコン基板と反応させる。その後未反応Co層、バリア層を除去し、窒素雰囲気中600℃の1次アニール、窒素雰囲気中800℃の2次アニールを行なう。

【0007】

又、バリア層を用いず、シリコン基板を400℃に加熱し、0.05～3nm/sceの低速でスパッタリングを行い、スパッタしたCoを全量基板と反応させ、その後600℃の1次アニール、800℃の2次アニールを行うことも提案している。なお、両実施例において、スパッタリングはスパッタ室を一旦 10^{-9} torrの真空度に排気した後行われている。

【0008】

特開平11-233456号公報は、300℃～500℃にシリコン基板を加熱し、コバルトを含む材料をスパッタリングし、窒素雰囲気中450℃～650

℃で1次アニールを行ない、未反応部分を除去した後、窒素雰囲気中700℃～900℃で2次アニールを行うことを提案している。真空度の開示はない。

【0009】

このように、種々のシリサイド工程が提案されているが、電気特性に優れ、制御性に優れたシリサイド化工程の詳細は未だ十分解明されているとは言えない。

【0010】

【非特許文献1】

IEDM 95～449

【非特許文献2】

IEDM 95～445

【特許文献1】

特開平11-111642号公報

【特許文献1】

特開平11-233456号公報

【0011】

【発明が解決しようとする課題】

本発明の目的は、電気特性に優れ、制御性の良いシリサイド化工程を含む半導体装置の製造方法を提供することである。

【0012】

本発明の他の目的は、製造設備を過度に複雑化することなく、電気的特性、形状安定性に優れたシリサイド化工程を含む半導体装置の製造方法を提供することである。

【0013】

【課題を解決するための手段】

本発明の1観点によれば、スパッタ室内の圧力を(a) 1.5×10^{-8} torr $\sim 9 \times 10^{-8}$ torrに真空排気し、シリコン基板を330℃～395℃に加熱する工程と、(b) 加熱されたシリコン基板上にCoをスパッタする工程と、(c) 前記工程(b)の後、シリコン基板を空气中に曝すことなく、該シリコン基板上に酸素透過性の小さなキャップ層を形成する工程と、(d) 前記工程(c)

）の後、1次アニールを行う工程と、（e）前記工程（d）の後、前記キャップ層および未反応のC oを除去する工程と、（f）前記工程（e）の後、前記シリコン基板を450℃～750℃に加熱し、2次アニールを行なう工程と、を含む半導体装置の製造方法が提供される。

【0014】

【発明の実施の形態】

半導体装置の微細化が進み、MOSトランジスタの寸法が微細化すると、従来用いていた技術では対応できなくなる現象が生じる。C oシリサイドは、N iシリサイドのように寸法縮小に伴い、面積当りの抵抗率が減少する現象を伴わない点で、優れたシリサイド材料であるが、リーク電流が増大しやすい性質を有する。リーク電流の原因はスパイクの形成等によるものと説明されている。本発明者は、電気的特性に優れ、制御性の良いシリサイド化工程を見出すため、種々の実験を行なった。

【0015】

図1（A）～（E）は、S i基板上に条件を変えて堆積したC oスパッタ層の形状を示す走査型電子顕微鏡（SEM）表面観察像を示す写真である。

図1（A）～（C）は、厚さ30nmのC o層を高温スパッタした場合を示す。図1（A）においては、スパッタリング前のスパッタ室内真空度を 2×10^{-7} torrとし、基板温度450℃でスパッタリングした。スパッタされたC o膜の表面は凹凸が激しいものであることが分る。

【0016】

図1（B）は、スパッタ前のスパッタ室内真空度を 5×10^{-8} torrとし、S i基板温度475℃で30nm厚のC o膜をスパッタした時の観察像である。図1（A）と較べると、表面の凹凸は大幅に減少している。しかしながら、部分的に未だ凹凸が存在する。

【0017】

真空度を向上すると表面の凹凸が減少するこの現象は、真空度が悪いと、基板表面に異物（不純物）が付着し、堆積したC o層と何らかの相互作用を示すものと考えられる。

【0018】

図1 (C) は、スパッタ前の真空度を $5 \times 10^{-8} \text{ torr}$ とし、Si 基板温度を少し下げて、 450°C とし、 30 nm 厚の Co 膜をスパッタした時に観察像である。全体的にはほぼ一様な表面を有する Co 膜が形成されていることが分る。基板温度を下げると、膜表面の凹凸を減少できるようである。

【0019】

これらの結果を総合すると、真空度が低い場合、Co 膜をスパッタしても平坦な表面を得ることは難しく、凹凸の多い表面を有する Co 膜を形成する。真空度を 10^{-7} torr から 10^{-8} torr に向上すると、堆積した Co 膜表面のモホロジは大幅に改善される。表面モホロジは、堆積温度にも依存する。

【0020】

図1 (D) は、図1 (C) と同一の条件、すなわちスパッタ前の真空度を $5 \times 10^{-8} \text{ torr}$ 、Si 基板温度を 450°C とし、膜厚を減少して 6 nm 厚の Co 膜を堆積した場合の表面の観察像である。一般的には、厚さを薄くすると表面の平坦性を保ち難くなる。 6 nm の厚さとしてもほぼ一様な表面が得られている。

【0021】

図1 (E) は、真空度を少し悪くして $6 \times 10^{-8} \text{ torr}$ とし、その他の条件を図1 (D) と同一として形成した 6 nm 厚の Co 膜の表面観察像を示す。真空度が $5 \times 10^{-8} \text{ torr}$ から $6 \times 10^{-8} \text{ torr}$ に劣化しているが、ほぼ均一な表面が得られている。

【0022】

図1 に示した実験結果からは、加熱した Si 基板上に Co 膜をスパッタリングする際、スパッタ前の処理室内の真空度、及びスパッタリング時の Si 基板の温度がスパッタした Co 膜の特性に大きな影響を与えることが分る。

【0023】

図2 (A) ~ (C) は、スパッタ時の Si 基板温度を変えた場合の堆積膜の形態を示す透過型電子顕微鏡 (TEM) 観察像を示す。本実験においては、Si 基板上に先ず厚さ 5 nm の Co 膜を Si 基板温度を変えてスパッタリングで堆積し、その後厚さ約 30 nm の TiN 層を温度 150°C でスパッタリングで堆積した

。なお、150℃のスパッタリング温度は、スパッタリング工程の安定性のために採用されている加熱温度である。

【0024】

図2 (A)、(B) は、スパッタ前の真空度を 2×10^{-8} torr、Si 基板温度を355℃及び280℃とし、5 nm厚のCo膜をスパッタリングで堆積し、その上にTiN膜を150℃で堆積したサンプルの写真である。

【0025】

図2 (A) においては、Co層は観察されない。355℃の基板温度でスパッタしたCoは、Si基板と反応もしくは混合し、 $CoSi_x$ あるいは $Co + Si$ 混合物と考えられる層となっている。スパッタしたCoの全量がSi中に入り込み（または表面層のSiと混合され）、CoとSiの混じった層となっている。その上にTiN層が形成されている。

【0026】

図2 (B) は、280℃のSi基板温度でCoを堆積した場合を示す。Si基板表面上には、図2 (A) 同様CoとSiの混じった（ $CoSi_x$ あるいは $Co + Si$ 混合物）層が形成され、その上にCo層が形成されている。温度が低いと、スパッタしたCoとSi基板との相互作用（反応）が低下するようである。

【0027】

なお、一旦低温でスパッタリングし、その後温度を例えば355℃に上昇しても、最初から高温（例えば355℃）に維持したSi基板の上にスパッタした場合と同様の堆積層は得られないこともある。これらの結果から、上述のCoとSiの混じった層は、基板加熱とスパッタエネルギーとの相乗効果によって生成されることが考えられる。この層を混和層と呼ぶ。

【0028】

図2 (C) は、念の為に基板温度を30℃とし、その上にCo層、TiN層をスパッタした場合の状態を示すTEM写真である。なお、この例においてはスパッタ前の真空度は 3×10^{-8} torrであった。30℃の基板温度でCoをスパッタした時は、CoとSiの混和層は観察されず、Si基板の上にCo層が形成され、その上にTiN層が形成された。

【0029】

このように、Si 基板を加熱し、その表面上に Co 膜をスパッタすると、基板温度に応じてスパッタされた Co と Si 基板とが反応もしくは混合し、Co と Si の混和層を形成し得る。Co 層中の Co 原子は、Si 原子と出会うためには Co 層中を移動しなければならない。混和層中の Co は、直ちにまたは極めてわずかな移動で Si 原子と出会うことができるであろう。この初期状態の差により、その後の熱処理の効果が異なることが以下の実験によっても示されている。

【0030】

図3 (A)、(B) は、Co 層スパッタリング時の Si 基板温度と、2 次アニール温度とを変えた場合のコンタクトの特性を示すグラフである。

B イオンをイオン注入し、活性化アニールを行なった後、厚さ約 6 nm の Co をスパッタリングした。スパッタリング前の真空度は 6×10^{-8} torr であった。比較例として従来技術に従い意図的な加熱をせず、スパッタリングを行ったサンプルも作成した。すなわち、Co スパッタリングを基板温度 150℃で行い、1 次アニールを 500℃、30 秒間窒素雰囲気中で行い、2 次アニールを 840℃で行なった。

【0031】

高温スパッタリングを採用したサンプルにおいては、Co 層を基板温度 450℃でスパッタし、TiN 層で覆い、500℃、30 秒間の 1 次アニールを窒素雰囲気中で行った後、2 次アニールを 700℃で窒素雰囲気中で行った。スパッタリング時の温度が高いサンプルに対しては 2 次アニールの温度を下げてても十分な低抵抗化が行える。

【0032】

図3 (A) は、得られたサンプルの抵抗特性を示す。横軸が抵抗値を任意目盛で示し、縦軸が累積確率を示す。従来技術による確率曲線 c1 と比べ、高温スパッタし、2 次アニールの温度を下げたサンプルによる特性 p1 は、抵抗値が大幅に減少していることが分かる。その理由を解明するため、基板内深さ方向の B 濃度を測定した。

【0033】

図3 (B) は、サンプル中のBの濃度分布を示すグラフである。横軸はコバルトシリサイド表面からの深さを任意目盛で示し、縦軸はホウ素濃度 cm^{-3} で示す。コバルトシリサイドとシリコンとの界面位置を矢印で示す。従来例によるサンプル c 1 においては、シリサイド層との界面近傍のホウ素濃度が落ち込んでいることが観察される。加熱スパッタリングを採用し、2 次アニールの温度を下げたサンプル p 1 においては、界面近傍のホウ素濃度は、一様ではないが、サンプル p 1 と較べるとかなり高く維持されている。

【0034】

サンプル c 1 においては、シリサイドと接するシリコン領域のホウ素濃度が低下しているため、コンタクト抵抗が高くなったものと考えられる。サンプル p 1 においては、シリサイドとの界面におけるシリコン中のホウ素濃度が高く維持されているため、得られるコンタクト抵抗が小さいものと考えられる。

【0035】

図3 (A), (B) の実験によれば、2 次アニール温度を高くすると、シリサイド層に半導体中の不純物が吸い寄せられ、実効的不純物濃度が低下し、コンタクト抵抗が高くなってしまふことが分かる。2 次アニール温度を下げることで、シリサイド領域に吸収される不純物量を制限し、コンタクト抵抗を高く維持することが可能となる。

【0036】

上述の実験では2 次アニールは、700℃で行ったが、2 次アニール温度を450℃～750℃とすることが良好な結果を得ることが可能であろう。2 次アニール温度を500℃～700℃とすることがより好ましいであろう。

【0037】

1 次アニールは、一般的に金属とシリコンとの間で1 次シリサイド反応を生じさせるためのもので、2 次アニールより低温でおこなわれる。高温スパッタを行うと、シリサイド反応が既に生じる、またはシリサイド反応を生じやすい状態を発生させるとも考えられる。1 次アニールは高温スパッタと合わせて中間状態のシリサイドを生じさせればよく、低温スパッタリングと較べ、1 次アニールの負荷が減少すると考えられる。1 次アニール温度を下げる事が可能となる。同一

温度であれば、アニール時間を短縮できる。

【0038】

例えば1次アニールとして、450℃～550℃の温度を採用できる。但し2次アニール温度よりも低い温度とする。

スパッタリング時の基板温度を昇温し、2次アニール温度を降温することにより、コンタクト抵抗を低減することが可能となる。しかし、スパッタリング時の基板温度を昇温すると、形成される混和層が、リーク原因を生成することが考えられる。又、スパッタした金属とシリコン基板との反応が制御性良く行われるか否かも問題となる。

【0039】

先ず、Si基板にBイオンを注入し、p型ウエルを形成する。このp型ウエル内にPイオンを注入し、n型領域を形成する。活性化アニールを行った後、表面を清浄化し、スパッタリングチャンバに基板を搬入し、スパッタ前の真空度を 2×10^{-8} torrとし、種々の基板温度で高温スパッタリングを行い、厚さ5 nmのCo膜を堆積する。なお、基板温度によって、純粋なCo膜は形成されず、CoとSiの混和層が形成される。5 nmのCo膜の膜厚は、絶縁層上のCo膜の膜厚である。

【0040】

Coのスパッタリングに続いて、厚さ約30 nmのTiNキャップ層を形成する。1次アニールは520℃、30秒間、窒素雰囲気中で行い、2次アニールは700℃、30秒間窒素雰囲気中で行なった。

【0041】

スパッタ時の基板温度を、445℃(#7)、405℃(#8)、380℃(#9)、355℃(#10)、330℃(#11)、280℃(#12)とした。これらのサンプルにおいて、接合リーク電流を測定した。

【0042】

図4(A)は、リーク電流と累積度数分布を示すグラフである。横軸が接合のリーク電流を任意目盛で示し、縦軸が累積度数分布を正規分布に基づいて示す。各サンプルにおいて、立ち上りはほぼ同様の傾向を示しているが、最も低温でC

o をスパッタリングした #12 のサンプルにおいては、30% 程度の低い累積度数からリーク電流が増大して 2桁程度高い値まで分布している。

【0043】

他のサンプルは、ほぼ 95% 程度までは良好な特性を示しているが、サンプル #7、#8、#11 はその後リーク電流が約 1桁低下している。サンプル #9、#10 は、約 99% まで良好な低リーク電流を保つ。

【0044】

これらの結果から判断すると、スパッタリングを 355℃、380℃ の基板温度で行ったサンプルにおいては、リーク電流が極めて低いレベルに保たれている。スパッタリング時の基板温度が 330℃～445℃ のサンプルにおいては、リーク電流はほぼ良好な状態を保っている。もっとも低温の 280℃ でスパッタリングしたサンプルは、リーク電流が著しく多くなる。

【0045】

これらの結果から考察すると、約 330℃ 以上の基板温度でスパッタリングを行うと、リーク電流を良好に維持することが可能と考えられる。より好ましくは、スパッタリング時の基板温度は、345℃～390℃ とすればリーク電流を極めて低いレベルに維持できるであろう。

【0046】

念の為、スパッタリング時の基板温度を 30℃ に降温した場合も測定した。スパッタリング前の真空度は 3×10^{-8} torr であり、基板温度 30℃ でスパッタした Co 層厚が 5 nm (#13)、4.5 nm (#13-1) であった。Co のスパッタリングの後、厚さ 30 nm の TiN 層をスパッタした。1 次アニールは窒素雰囲気中 520℃ で 30 秒間行い、2 次アニールは窒素雰囲気中で 700℃、30 秒間行った。

【0047】

図 4 (B) は、サンプル #13、#13-1 のリーク電流特性を示す。横軸は接合リーク電流を任意目盛で示し、縦軸は累積度数分布を示す。両サンプルとも、立ち上りから曲線は寝ており、リーク電流が広い範囲に亘って大幅に発生している。従って、リーク電流低減の観点からは、スパッタリング時に基板を加熱す

ることはほぼ必須と考えられる。

【0048】

なお、図4 (A) に示すデータは、厚さ5 nmのCo層をスパッタした場合の結果である。他の層厚についての効果も確認した。図4 (A) の測定結果において、良好な特性が得られた基板温度355℃において、Co層厚を変化させた時のリーク電流特性を調べた。なお、スパッタリング前の真空度は 2×10^{-8} torrであり、1次アニールは窒素雰囲気中520℃、2次アニールは窒素雰囲気中700℃で行なった。スパッタするCo層の厚さは絶縁層上の層厚換算で5 nm (#10)、4 nm (#10-1)、6 nm (#10-2)、7 nm (#10-3) であった。

【0049】

図5は、リーク電流の測定結果を示す。横軸は接合リーク電流を任意目盛で示し、縦軸は累積度数分布を正規分布に基づいて示す。各サンプルにおける特性は極めて類似した特性を示し、ほぼ同一の線上に固まって分布している。ほぼ99%まで、リーク電流は極めて低い値に抑えられている。

【0050】

このように、膜厚4～7 nmのCo層を用いた場合に、極めて低いリーク電流が実現されている。この結果は、さらにCo層厚を減少させる場合にも同様に期待できるであろう。

【0051】

以上の実験においては、リーク電流の大きさに着目して行った。シリサイドは、反応中に体積を増大させ、場合によっては隣接する絶縁層上にシリサイド層を延在させる性質（這い上がり）を有する。リーク電流の測定において良好な結果を得たスパッタ温度445℃、405℃、380℃、355℃において、基板上に形成されるシリサイド層がどのような形状を示すかを調べた。

【0052】

図6 (A) ～ (D) は、それぞれ445℃、405℃、380℃、355℃でスパッタリングを行った場合のシリサイド層の形態を示す写真である。図中縦方向中央部に破線で示す領域がシリコン領域であり、その両側は素子分離絶縁層領

域である。

【0053】

図6 (A) で示すように、スパッタリング温度が445℃の場合、形成されるシリサイドはシリコン領域上方のみに限らず、絶縁体領域にかなりの幅が延び出して形成されている。すなわち、絶縁体領域上にシリサイドが這い上がり、配線層以上の範囲に渡って分布している。このようにシリサイド層の形状が制御できないと、思わぬ場所において配線間の短絡等を生じてしまう可能性がある。絶縁体領域上のシリサイドの這い上がりはなるべく少ないことが望まれる。

【0054】

図6 (B) に示した405℃のスパッタリング温度においては、図6 (A) と較べれば這い上がりはかなり低減しているが、絶縁体領域上へのシリサイドの若干の這い上がりは未だ明確に認められる。但しその量は少ない。

【0055】

図6 (C) の380℃におけるスパッタリング及び図6 (D) に示す355℃のスパッタリングにおいては、形成されるシリサイドはほぼ下地のシリコン領域と同一領域のみに限定され、絶縁体領域表面上はシリサイドが形成されず清浄に保たれている。

【0056】

これらの結果から判断すると、絶縁体上にシリサイドの這い上がりを生じさせず、シリコン表面のみにシリサイド層を形成するためには、スパッタリング時の基板温度として、400℃未満、より確実には395℃以下を用いることが好ましいであろう。390℃以下のスパッタリング温度とすれば、ほぼ確実に絶縁層上のシリサイドの這い上がりは防止できるであろう。

【0057】

リーク電流の特性と、絶縁層上へのシリサイドの這い上がりの両者を考慮すると、スパッタリング時のSi基板の温度は、330℃～395℃が好ましく、さらに345℃～390℃とすることがより好ましいと判断できる。

【0058】

真空度は高い（圧力は低い）ほど、基板表面に飛来する不純物などが減少する

が、 10^{-9} torr 台の真空を得るには特別の装置を必要とし、真空排気の時間もかかる。 2×10^{-8} torr \sim 6×10^{-8} torr で実用上満足できる結果が得られた。 1.5×10^{-8} torr \sim 9×10^{-8} torr の真空度で好ましい結果が得られるであろう。 1.5×10^{-8} torr \sim 6×10^{-8} torr の真空度を採用することがより好ましい。

【0059】

図7 (A) ~ (E) は、上述の実験結果に基づき、半導体装置を製造する主要工程を示す断面図である。

図7 (A) に示すように、シリコン基板100の表面上にシャロートレンチを形成し、酸化シリコン等の絶縁物を埋め込み、表面を平坦化して、シャロートレンチアイソレーション (STI) 101を形成する。STIで画定された活性領域に不純物をイオン注入し、例えばBイオンを注入し。p型ウエル102を形成する。

【0060】

活性領域表面上に、所定厚、例えば約3 nmのゲート絶縁膜103を熱酸化等により形成する。ゲート絶縁膜103の上に、多結晶シリコン層を形成する。多結晶シリコン層104をホトリソグラフィを用いてパターンニングして、絶縁ゲート電極104を形成する。その後、たとえばn型不純物、PまたはAsをイオン注入し、ソース/ドレインのエクステンション領域105を形成する。その後、基板表面上に酸化シリコン層等を化学気相堆積 (CVD) 等により堆積し、リアクティブイオンエッチング (RIE) 等により異方性エッチングを行なってゲート電極側壁上にのみ絶縁性サイドウォールスペーサ106を形成する。再びイオン注入を行ない、高濃度のソース/ドレイン領域107を形成する。このようにしてMOSトランジスタ構造を形成した後、サリサイドプロセスにより、露出しているシリコン表面上にシリサイド層の形成を行う。

【0061】

図7 (B) に示すように、シリコン基板100を $330^{\circ}\text{C} \sim 395^{\circ}\text{C}$ 、より好ましくは $345^{\circ}\text{C} \sim 390^{\circ}\text{C}$ 、例えば 355°C に昇温し、Coをスパッタリングで堆積する。堆積したCo層111は、シリコン層上では一部Siと混合し、C

O-Si 混和層 112 を形成する。Co 層 111 の上に、基板温度 150℃ で TiN 層 114 を例えば 30 nm 堆積する。

【0062】

スパッタリング時の基板温度、堆積速度によっては、図 7 (C) に示すように、シリコン表面上では Co の全量が Si と混和し、Co 層は消滅する。Co 層 111 は、絶縁層表面上にのみ堆積する。なお、スパッタリング後にその場でアニールを行って反応を進行させ、図 7 (C) の状態することも可能である。

【0063】

この状態で 450℃～550℃ で 1 次アニールを行う。雰囲気は例えば窒素雰囲気とする。1 次アニールにより、Co と Si は 1 次シリサイド化反応を生じ、1 次シリサイド化層 113 が形成される。

【0064】

その後、未反応 Co 層 111 を TiN 層 114 と共に硫酸+過酸化水素で除去する。露出していたシリコン表面には、シリサイド層 113 が形成されている。

図 7 (E) に示すように、窒素雰囲気中で基板を 450℃～750℃、より好ましくは 500℃～700℃ に加熱することにより、2 次アニール処理を行なう。2 次アニール処理により、高抵抗のシリサイド層 113 は、低抵抗のシリサイド層 113_x に変化する。このようにして、低抵抗のシリサイド層を備えたソース/ドレイン領域及びゲート電極が得られる。

【0065】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば図 7 (A)～(E) の工程において導電型を反転すれば p チャネル MOS トランジスタが形成される。n チャネル MOS トランジスタと p チャネル MOS トランジスタとを形成すれば、CMOS 回路が形成できる。その他、種々の変更、改良、組合わせが可能なことは当業者に自明であろう。

【0066】

【発明の効果】

以上説明したように、本発明によれば、電気的特性に優れ、形状を制御したシリサイド層を有する半導体装置を得ることができる。特殊な製造装置を必要とせ

ず、高性能の半導体装置を製造できる。

【図面の簡単な説明】

【図1】 Si基板上にスパッタリングしたCo膜の形態を示すSEM写真である。

【図2】 基板温度を変えてCo層をスパッタリングし、その上にTiN層をスパッタリングしたサンプルの断面TEM写真である。

【図3】 2次アニール温度を変えて作成したサンプルにおけるコンタクト抵抗の特性を示すグラフ及びコンタクト部の不純物濃度分布を示すグラフである。

【図4】 pウェル内のn型領域上にCoシリサイド層を形成したサンプルにおけるリーク電流特性を示すグラフである。

【図5】 膜厚を変えてリーク電流特性を調べた結果を示すグラフである。

【図6】 シリサイド層を形成した基板表面の形状を示すSEM写真である。

【図7】 本発明の実施例によりMOSトランジスタを作成する工程を示す断面図である。

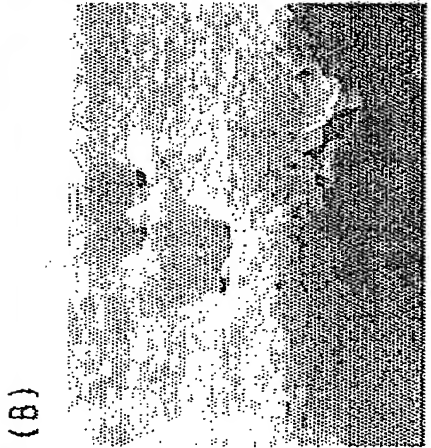
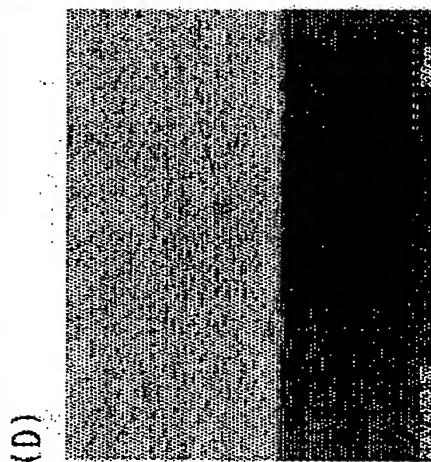
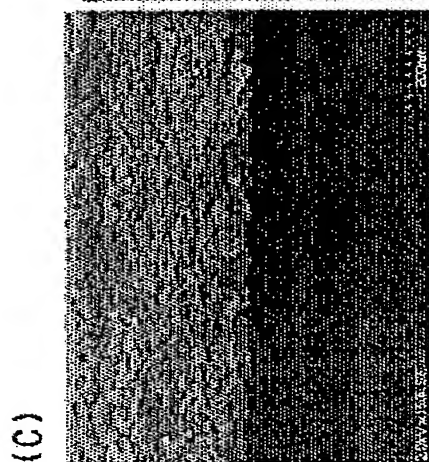
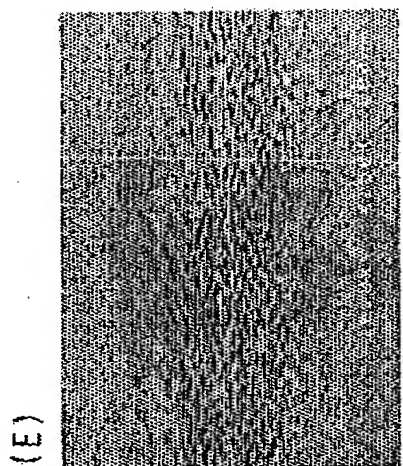
【符号の説明】

- 100 シリコン基板
- 101 シャロートレンチアイソレーション(STI)
- 102 pウェル
- 103 ゲート絶縁膜
- 104 (多結晶シリコン層の)ゲート電極
- 105 エクステンション領域
- 106 絶縁性サイドウォールスペーサ
- 107 ソース/ドレイン領域
- 111 Co層
- 112 Co-Si混和層
- 113 1次シリサイド層
- 113x 2次シリサイド層

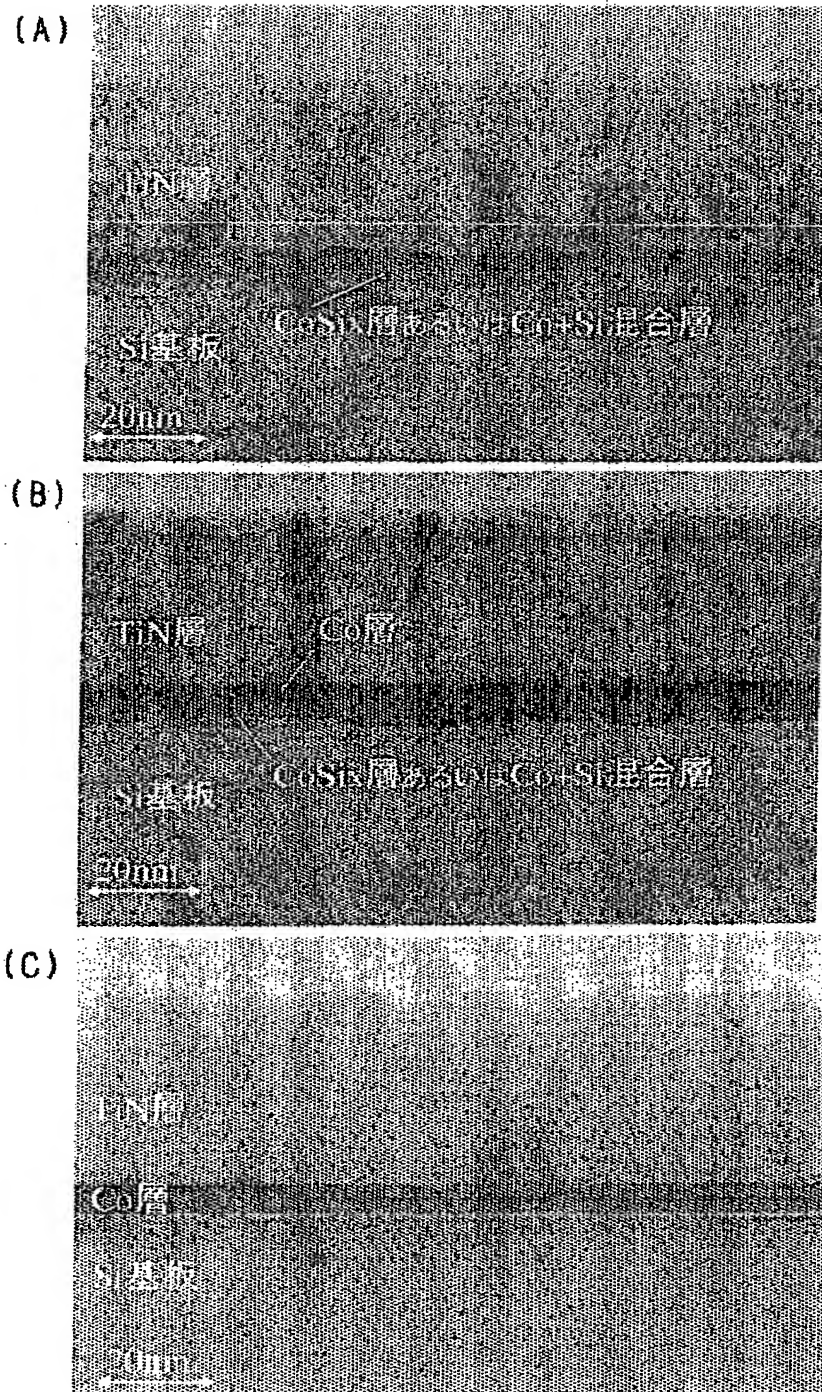
1 1 4 T i N 層

【書類名】 図面

【図 1】

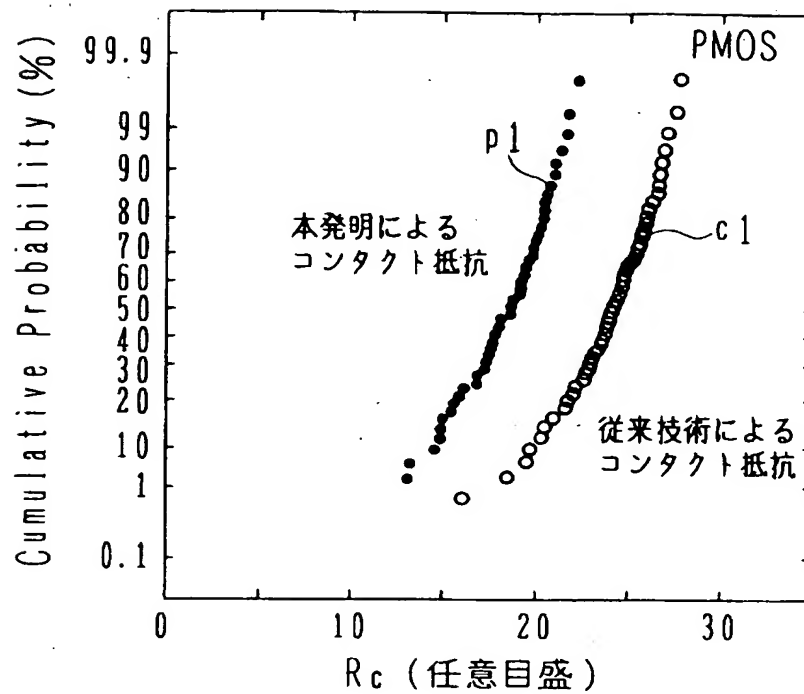


【図 2】

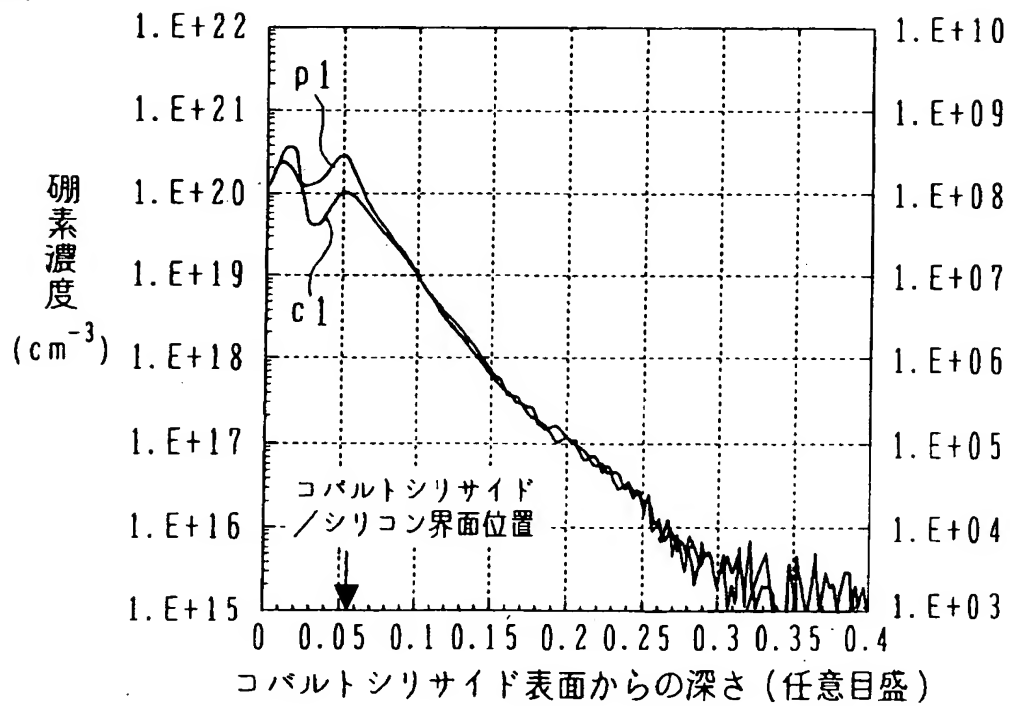


【図3】

(A)

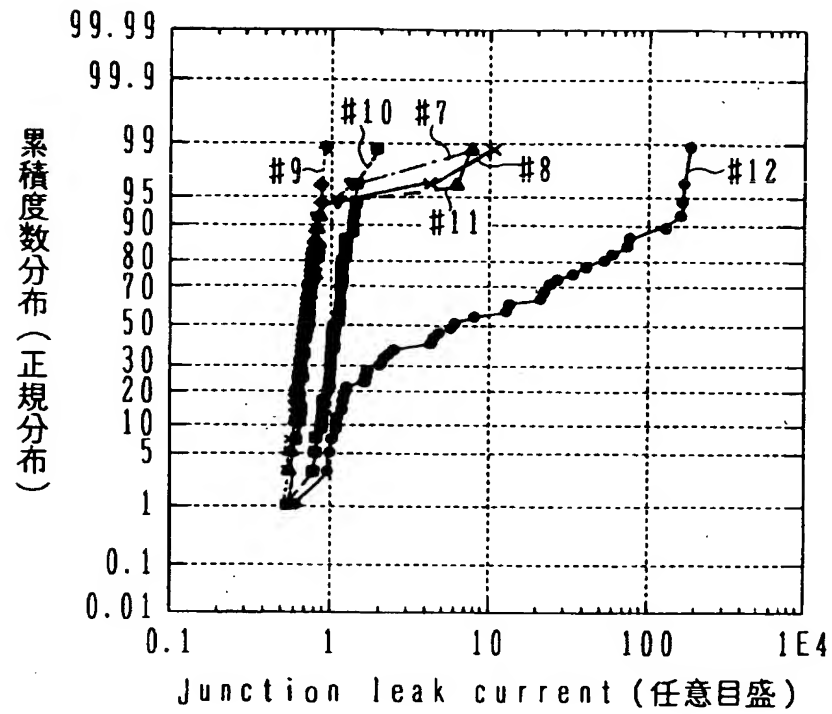


(B)

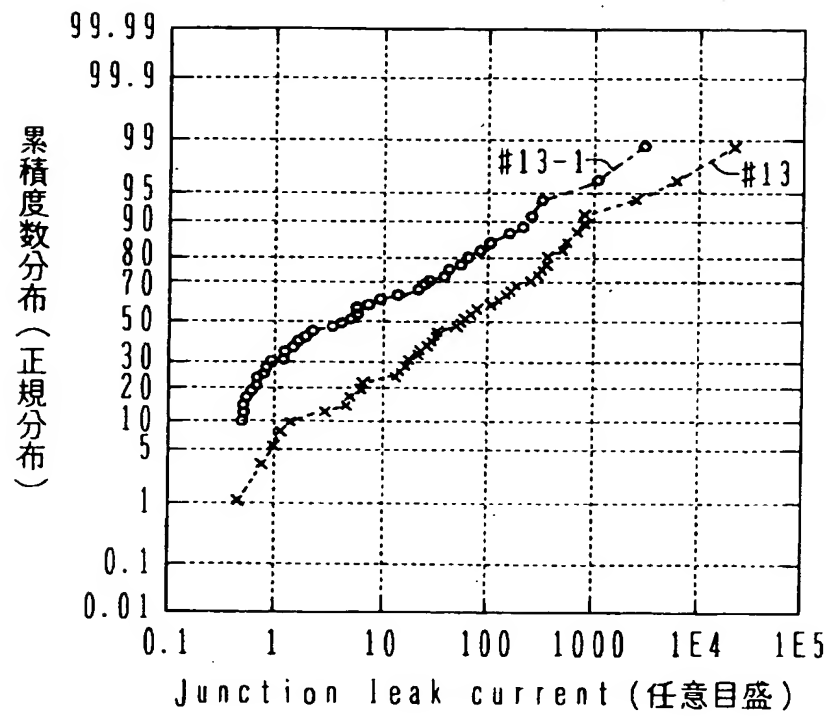


【図 4】

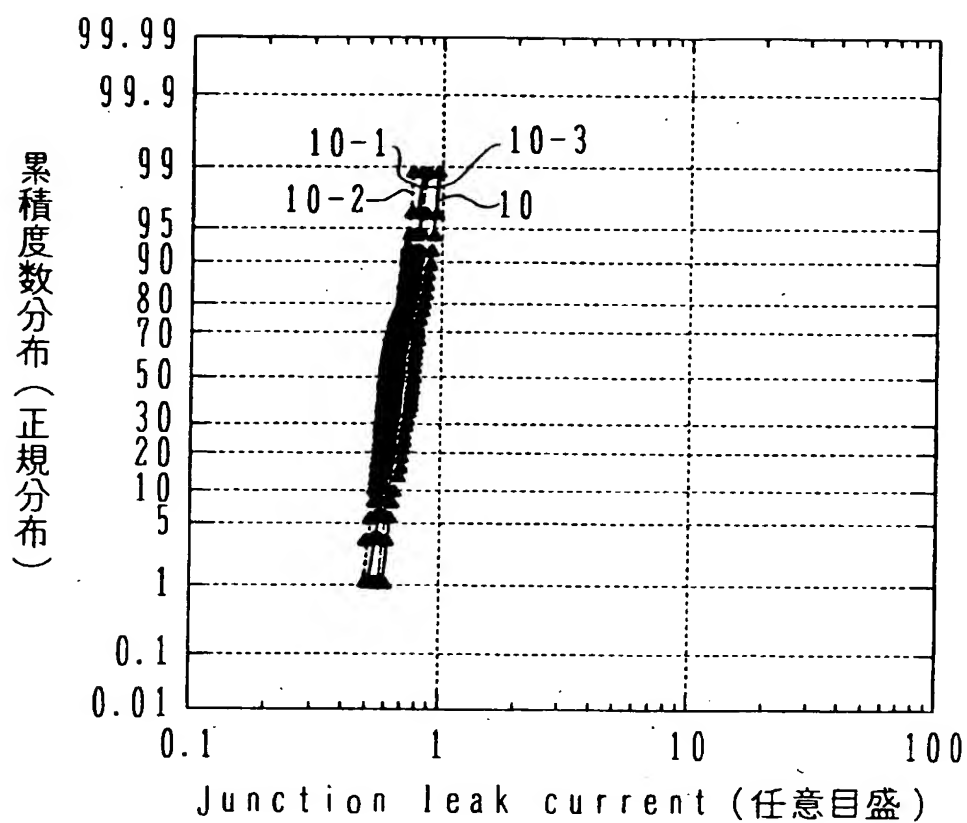
(A)



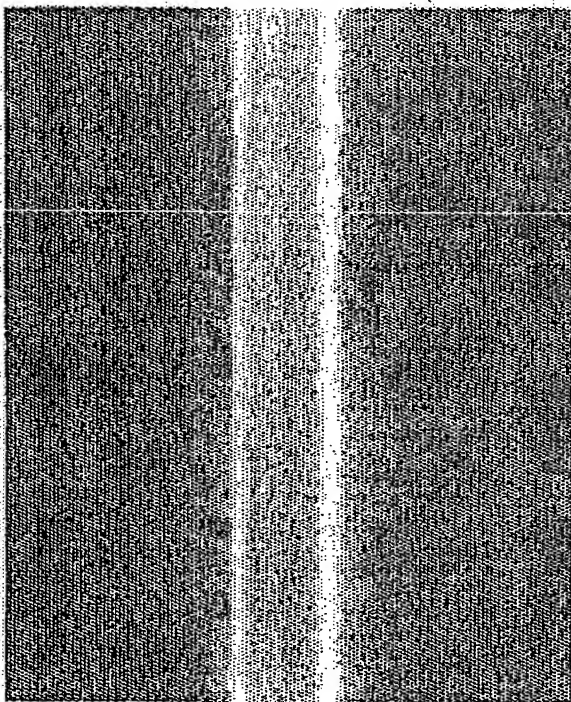
(B)



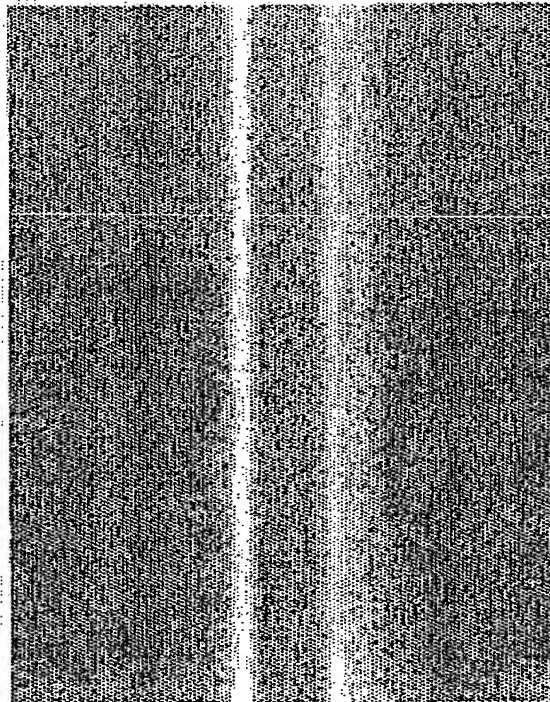
【図 5】



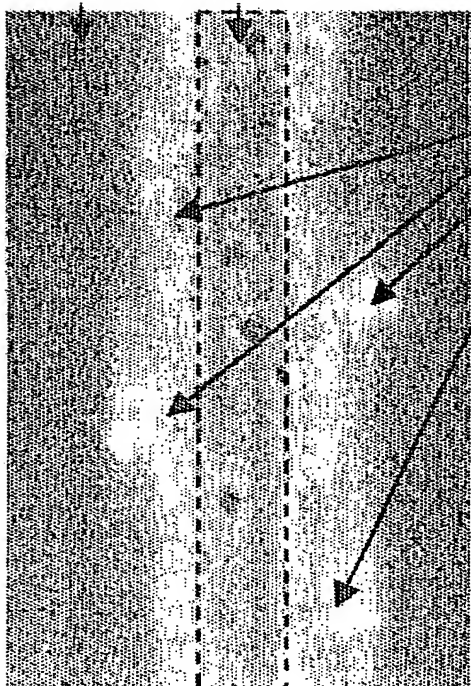
【図 6】



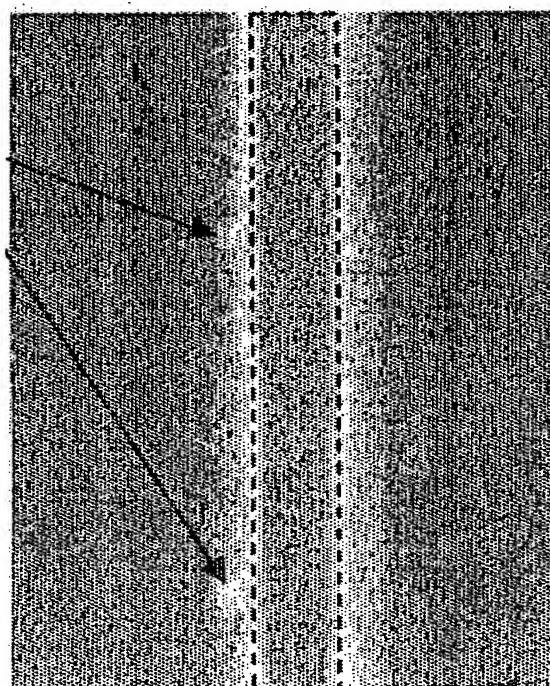
(C)



(D)

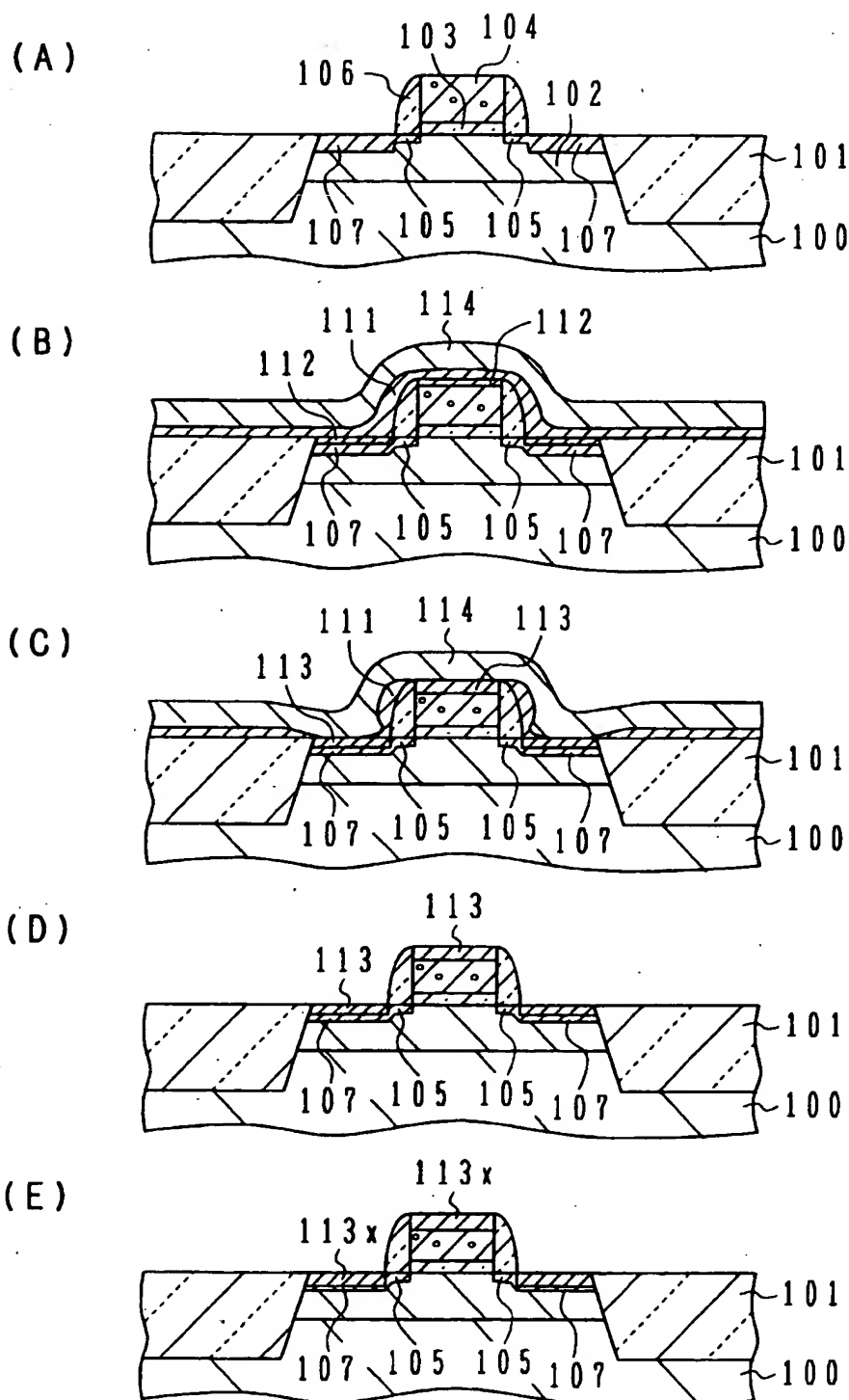


(A)



(B)

【図 7】



【書類名】

要約書

【要約】

【課題】 電気特性に優れ、制御性の良いシリサイド化工程を含む半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法は、（a） $1.5 \times 10^{-8} \text{ torr} \sim 9 \times 10^{-8} \text{ torr}$ に真空排気し、シリコン基板を $330^\circ\text{C} \sim 395^\circ\text{C}$ に加熱する工程と、（b）加熱されたシリコン基板上にCoをスパッタする工程と、（c）前記工程（b）の後、シリコン基板を空气中に曝すことなく、該シリコン基板上に酸素透過性の小さなキャップ層を形成する工程と、（d）前記工程（c）の後、1次アニールを行う工程と、（e）前記工程（d）の後、前記キャップ層および未反応のCoを除去する工程と、（f）前記工程（e）の後、前記シリコン基板を $450^\circ\text{C} \sim 750^\circ\text{C}$ に加熱し、2次アニールを行なう工程と、を含む。

【選択図】 図6

特願 2002-303452

出願人履歴情報

識別番号

[000005223]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中1015番地
氏 名 富士通株式会社
2. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社